

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2005年9月15日 (15.09.2005)

PCT

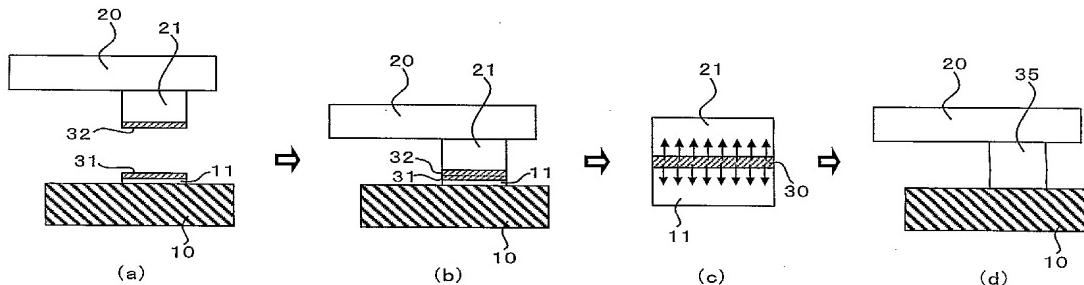
(10)国際公開番号  
WO 2005/086221 A1

- (51)国際特許分類<sup>7</sup>: H01L 21/60
- (21)国際出願番号: PCT/JP2004/002534
- (22)国際出願日: 2004年3月2日 (02.03.2004)
- (25)国際出願の言語: 日本語
- (26)国際公開の言語: 日本語
- (71)出願人(米国を除く全ての指定国について): 富士電機ホールディングス株式会社 (FUJI ELECTRIC HOLDINGS CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP). 松村慶一 (MATSUMURA, Keiichi) [JP/JP]; 〒3690122 埼玉県北足立郡吹上町南一丁目5番45号富士エクサス株式会社内 Saitama (JP).
- (72)発明者; および
- (75)発明者/出願人(米国についてのみ): 藤本公三 (FUMIMOTO, Kozo) [JP/JP]; 〒6570051 兵庫県神戸市灘区八幡町3-3-20 Hyogo (JP). 池見和尚 (IKEMI, Kazutaka) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号富士電機ホールディングス株式会社内 Kanagawa (JP). 渡邊裕彦 (WATANABE, Hirohiko) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番
- 1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP). 下田将義 (SHIMODA, Masayoshi) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP). 谷口克己 (TANIGUCHI, Katsumi) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP). 後藤友彰 (GOTO, Tomoaki) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP).
- (74)代理人: 松井茂 (MATSUI, Shigeru); 〒1040061 東京都中央区銀座八丁目16番5号 銀座轟ビル2階 Tokyo (JP).
- (81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/続葉有/

(54)Title: METHOD FOR PACKAGING ELECTRONIC COMPONENT

(54)発明の名称: 電子部品の実装方法



(57)Abstract: A packaging method of an electronic component in which bonding can be carried out at a low temperature in a short time, a highly reliable joint can be attained, and bonding can be carried out at a fine pitch. In a method for packaging an electronic component on a circuit board by bonding a circuit electrode formed on the circuit board and an element electrode formed on the electronic component, a low-melting-point metal layer is formed previously on the circuit electrode and/or the element electrode and then the electrodes are hot pressed while facing each other and fused, thus bonding them through solid-liquid diffusion into the circuit electrode and the element electrode.

(57)要約: 本発明は、低温かつ短時間の接合を可能とし、信頼性の高い接合部を得ることができ、更に、微細なピッチでの接合が可能な電子部品の実装方法を提供する。回路基板上に形成された回路電極と、電子部品上に形成された素子電極を接合して、電子部品を回路基板上に実装する方法において、回路電極及び/又は素子電極上に、低融点金属層をあらかじめ形成した後、電極同士を対向させて加熱加圧して溶融させ、回路電極及び素子電極中へ固液拡散することによって接合する。

WO 2005/086221 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

1  
明 細 書

## 電子部品の実装方法

### 技術分野

本発明は、例えば、小型化が必要とされる回路基板あるいはモジュール（マルチチップモジュール）等において、半導体チップ等の電子部品をプリント基板等の回路基板に直接実装する方法に関する。

### 背景技術

近年の電子機器等の小型化や高機能化に伴い、回路基板上へ、半導体チップ等の電子部品を直接実装する、いわゆるベアチップ実装と呼ばれる実装方法が広く行なわれている。

図3 (a)、(b)には、従来から行なわれているベアチップ実装の一例が示されている。

図3 (a)においては、基板50上に設けられた回路基板電極51と、半導体チップ60上に電極パッド62を介して設けられた、Au、又は、はんだからなるバンプ（電極）61とを対向させて接触させた後、はんだ70によって回路基板電極51とバンプ61との接合が行なわれ、更に、絶縁のために、はんだ70の周囲が樹脂80で覆われている。

また、図3 (b)においては、同じく基板50上に設けられた回路基板電極51と、半導体チップ60上に電極パッド62を介して設けられた、Au又ははんだからなるバンプ61とを対向させ、両者を、導電性粒子91を含有した樹脂である、異方導電性接着剤（A C F）90で覆うことにより、回路基板電極51とバンプ61とを接合し、両者の導通が導電性粒子91によって行なわれるよう構成されている。

上記のような、回路基板電極と、半導体チップ等の電子部品とをバンプで直接接続する方法はフリップチップ技術と呼ばれ、回路基板電極と電子部品とをワイヤで結線するワイヤボンド方式に比べて小型化が可能であることから、従来から広く用いられている実装方法である。

また、上記フリップチップ技術に用いられるバンプとして、蒸着法によって合金のはんだバンプを形成することも知られており、例えば、多層膜形成による鉛フリーはんだバンプの形成法として、 $S_{n_{1-x}}M_x$  ( $M : Au, In$  のうち少なくとも一つ以上を含みかつ  $0 < x < 0.5$ ) なる組成になるように設定した  $S_n$  および  $M$  の膜厚を交互に蒸着して多層膜を形成し、その後マスクを除去して前記多層膜からなる、はんだバンプ前駆体を形成し、つぎにアニールを行ってバンプ前駆体の組成の均一化を行い、更に、前駆体の共晶温度においてリフローさせてはんだバンプを形成することが、特開2002-43348号公報に開示されている。

また、蒸着用るつぼ中に、予め所望の組成及び膜厚の合金膜が得られるように調整した組成及び量の母合金を用意し、この母合金を蒸発し切ることによって基板上に目的の合金膜を得ることができ、目的の組成の合金を蒸着するための母合金組成を予め求めおくことによって、任意の組成の合金の蒸着膜を得る合金蒸着方法が、特開平5-9713号公報に開示されている。

上記のように、従来のフリップチップ実装技術においては、半導体チップ60上のバンプ61と、回路基板上の電極51との接合手段は、はんだや樹脂接着剤等を介して行われている。

この場合、接合時の加熱温度は、はんだを用いた場合には、はんだ材料の融点に依存するので、通常のはんだでは200～300℃の高温が必要とされ、電子部品への熱的ダメージが生じ易いという問題がある。また、樹脂接着剤の場合においては、加熱温度は150～200℃と低温であるが、樹脂の硬化に30～60分の長時間を要するという問題があった。

また、強度や疲労寿命等に代表される接合部の信頼性は、介在する接合材料の特性に依存することになる。しかしながら、上記のはんだや樹脂接着剤を接合材とした場合には、高温特性や熱疲労寿命に問題があり、充分な接合部の信頼性が得られないという問題があった。

更に、はんだ接合においては、通常厚さで15μm以上の、多量のはんだを供給する必要があるため、300μm以上の接合間隔が必要であり、微細接合が困難である。また、樹脂接着剤による接合においても、絶縁特性や接続抵抗を満足するためには、通常100μm以上の接合間隔が必要とされることから、やはり、100μm未満の接合間隔での微細接合が困難であった。

また、特開2002-43348号公報の鉛フリーはんだバンプの形成法においては、低温、短時間での接合が不充分であり、例えば、200°C以下の低温で、かつ、短時間での接合が困難であった。

また、特開平5-9713号公報の合金蒸着方法においては、あらかじめ、るつぼ中の母合金の組成と、蒸着膜における合金組成との関係を求め、その補正曲線から母合金組成を決定する必要があるため、蒸着に至るまでの準備工程が煩雑であるという問題があった。

本発明は、以上の問題点を鑑みなされたもので、半導体チップなどの電子部品の電極と回路基板電極とを対向させて、電子部品を基板上に直接実装する方法において、低温かつ短時間の接合を可能とし、また、より信頼性の高い接合部を得ることができ、更に、微細なピッチでの接合が可能な、電子部品の実装方法を提供することを目的とする。

### 発明の開示

上記目的を達成するため、本発明の電子部品の実装方法は、回路基板上に形成された金属からなる回路電極と、電子部品上に形成された金属からなる素子電極とを接合して、前記電子部品を前記回路基板上に実装する方法において、

前記回路電極及び／又は前記素子電極上に、低融点金属層をあらかじめ形成した後、前記回路電極及び前記素子電極を対向させて、少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を、前記回路電極及び前記素子電極中へ固液拡散させることによって、前記回路電極と前記素子電極とを接合することを特徴とする。

本発明の方法によれば、電極上に低融点金属層を形成したので、低融点金属として用いる材料にもよるが、例えば、200°C以下の低温、かつ、短時間での接合が可能となる。また、低融点金属層は少なくとも拡散するのに充分な量であればよく、例えば合計厚さ10μmあるいはそれ以下の薄膜とすることができますので、メッキや蒸着による微細なパターン形成が容易であり、微細間隔での接合が可能となつて、よりコンパクトな実装が可能となる。更に、低融点金属層の固液拡散による接合方式を採用して、高温特性や熱疲労寿命特性に問題のある、はんだや樹脂接着剤などの接合材を不要としたことにより、接合部の信頼性が向上する。

本発明においては、前記低融点金属層が、SnIn、In、Bi、SnBiより選択される一種を少なくとも含有することが好ましい。これによれば、上記の金属は、いずれも融点が180°C以下の低融点であるので、本発明に特に好適に使用可能である。

また、本発明においては、前記接合時の加熱温度が、前記低融点金属の融点より0~100°C高い温度であることが好ましい。上記の低融点金属は、いずれも融点が180°C以下の材料であるから、加熱温度もより低温とすることができるので、実装する電子部品への熱によるダメージを防止することができる。

更に、本発明においては、接合される前記回路電極と前記素子電極との間にあらかじめ形成される、前記低融点金属層の合計厚さが0.1~1μmであることが好ましい。これによれば、低融点金属層は、接合時の拡散反応に必要なだけの供給量となるように合計厚さ0.1~1μmの薄膜としたので、メッキや蒸着による微細なパターン形成が容易であり、微細間隔での接合が可能となって、よりコンパクトな実装が可能となる。

また、上記のように低融点金属層の合計厚さを0.1~1μmしたことにより、低融点金属は電極を構成する母材金属に完全に拡散し、低融点金属単体層が消滅するので、接合に寄与しない単体状態の低融点金属が接合部端から排出されることが無いため、隣接する電極同士の間隔をより近接したものとすることができ、より狭いピッチ間隔での電子部品実装にも対応することができる。

したがって、本発明による電子部品の実装方法は、実装される電子部品が、特に、フリップチップ接合用の半導体チップのような、部品本体の同一面上に複数個の素子電極が配置された構成、あるいは、例えば表面実装用としてミニモールドパッケージされたIC部品のような、部品本体の少なくとも1辺に複数個の素子電極が配列された構成である場合に、隣接する電極同士の間隔をより近接したものとすることができるという点で、極めて好適な実装方法となっている。

また、本発明においては、前記回路電極及び前記素子電極の材質が、Cu、Ni、Au、Alより選択される一種又はそれらの合金であることが好ましい。これによれば、Cu、Ni、Au、Alより選択される一種又はそれらの合金は、低融点金属が固液拡散しやすいので、本発明に特に好適に用いられる。

また、本発明においては、前記回路電極及び前記素子電極表面の表面粗さRaが

0. 4～10 μmの粗面であって、前記接合時に前記粗面同士が塑性変形して接合可能となるように加圧することが好ましい。これによれば、電極表面が塑性変形するまで加圧するので、例えば、電解メッキ等によって形成される電極のように、表面に析出による凹凸がある場合においても、良好な接合状態を得ることができる。

更に、本発明においては、前記加熱加圧において、前記低融点金属層が、前記回路電極及び前記素子電極中に完全に固液拡散するまで所定時間維持することが好ましい。これによれば、低融点金属層が完全に固液拡散して、全体として1つの合金層となり、はんだのように、合金層が接合部に中間層として存在しない。したがつて、接合部の信頼性は、介在する接合材料の特性に依存せず、主に電極の母材金属によるので、更に接続部の信頼性を向上することができる。

また、本発明においては、前記加熱加圧において、前記低融点金属層が、前記回路電極と前記素子電極との間に、中間合金層を形成するまで所定時間維持することが好ましい。これによれば、低融点金属層が、完全には拡散せず、中間合金層を形成する段階まで加熱すれば足りるので、接合に要する時間を大幅に短縮することができる。また、低融点金属の供給量は、中間合金層を形成するための必要量以上が供給されておればよいので、低融点金属の供給量の厳密な管理が不要となる。

更に、本発明においては、前記低融点金属層は、合金を形成できる少なくとも2種類以上の金属を2層以上に積層し、該積層した金属層を予備加熱して反応させて合金層とすることにより形成することが好ましい。これによれば、合金層における合金組成や供給量のバラツキがなくなるので、低温での安定した拡散接合が可能となり、信頼性の高い接合部を得ることができる。

また、本発明においては、前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比を制御することによって、目標とする合金組成となるように成膜することが好ましい。これによれば、蒸着時に合金組成の制御が可能となるので、低融点金属層の合金組成を、最も低温での接合が可能となる共晶組成と/orすることができ、低温での安定した拡散接合が可能となる。また、蒸着法によって拡散し易い膜厚を容易に形成することができる。

更に、本発明においては、前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧

比及び活量係数比の積を制御することによって、目標とする合金組成となるように成膜することが好ましい。これによても、蒸着時に合金組成の制御が可能となるので、低融点金属層の合金組成を、最も低温での接合が可能となる共晶組成とすることができる、低温での安定した拡散接合が可能となる。また、蒸着法によって拡散し易い膜厚を容易に形成することができる。

#### 図面の簡単な説明

図1は、本発明の実装方法の一実施形態における電極同士の接合原理を示す工程図であって、(a)電極同士を対向させた状態、(b)電極同士を接触させた状態、(c)加熱加圧を行なっている接合部の状態、(d)接合後の状態を示す図である。

図2は、本発明の実装方法の他の実施形態における電極同士の接合原理を示す概念図であって、(a)電極同士を対向させた状態、(b)電極同士を接触させた状態、(c)加熱加圧を行なっている接合部の状態、(d)電子部品の振動を行なっている状態、(e)接合後の接合部の状態を示す図である。

図3は、従来技術における基板へ電子部品を実装した状態を示す概略図である。

図4は、実施例4及び実施例5における接合部のせん断強度試験データを示す図表である。

#### 発明を実施するための最良の形態

以下、図面を用いて本発明について説明する。図1には、本発明の電子部品の実装方法の一実施形態が示されている。

図1は本発明の実装方法における電極同士の接合原理を示す工程図である。

まず、図1(a)に示すように、この実施形態においては、回路基板10上に形成された金属からなる回路電極11と、電子部品20上に形成された金属からなる素子電極21とが対向するように配置されており、回路電極11及び素子電極21上には、低融点金属層31、32がそれぞれ形成されている。

回路基板10としては、例えば、従来公知のプリント基板等の配線板が使用でき、特に限定されない。また、回路基板10上に形成された金属からなる回路電極11は、導電性を有する金属であれば特に限定されないが、低融点金属層31、32と固液拡散を行ないやすい点から、Cu、Ni、Au、Alより選択される一種又

はそれらの合金であることが好ましい。回路基板 10 上に回路電極 11 を形成する方法としては、従来公知の蒸着やエッチング等によるパターン形成が可能であり特に限定されない。

電子部品 20 としては、例えば、半導体チップ等が挙げられるが、これらに限定されるものではない。また、電子部品 20 上に形成される素子電極 21 としては、上記の回路電極 11 と同様に特に限定されないが、低融点金属層 31、32 と固液拡散を行ないやすい点から、やはり、Cu、Ni、Au、Al より選択される一種又はそれらの合金であることが好ましい。

また、素子電極 21 は、半導体チップ等の電極パッド上にバンプとして形成されていることが好ましい。これにより、回路基板電極と、半導体チップ等の電子部品とをバンプで直接接続するフリップチップ技術において、本発明の方法が特に好適に使用できる。

なお、回路電極 11、素子電極 21 の表面粗さは平滑であるほうが接合状態が良好となるので好ましいが、本発明においては、表面粗さ Ra が 0.4 ~ 1.0 μm の粗面であってもよい。

次に、低融点金属層 31、32 について説明すると、回路電極 11 及び素子電極 21 上には、あらかじめ、合計厚さ 1.0 μm 以下の低融点金属層 31、32 がそれぞれ形成されている。

低融点金属層 31、32 に用いられる金属としては、回路電極 11 及び素子電極 21 と固液拡散によって合金を形成するような金属であればよく、更に、融点が 220°C 以下、より好ましくは 180°C 以下の金属であることが好ましい。これにより、従来用いられている、錫鉛共晶はんだ（融点 183°C）や、代表的な鉛フリーはんだである SnAg 系（融点 210 ~ 223°C）に比べて、低温での接合が可能となるので、電子部品への熱的ダメージを抑えることができる。

このような低融点金属としては、例えば、SnIn、In、Bi、SnBi より選択される一種を少なくとも含有する金属が挙げられる。これらの金属材料は、単独又は複数組み合わせて用いてもよく、また、合金の場合の組成比についても適宜設定可能である。

また、上記の金属材料をベース金属として、更に微量の添加元素が含有されてもよい。このような添加元素としては、例えば、Cu、Ni、Ge、Sb、Ag

、P等が挙げられる。

なお、上述のように、本発明における回路電極および素子電極の材料については、低融点金属が固液拡散しやすい材料として、Cu、Ni、Au、Alより選択される一種又はそれらの合金であることが好ましいが、その中でも、Cuが、低融点金属の拡散係数を大きなものとすることができる点で特に好適である。

すなわち、本発明の接合での固液拡散などにおける拡散の度合いは一般的に拡散係数で表され、拡散係数の数値が大きいほど、拡散し易くなる。この拡散係数Dは、実験的に、 $D = D_0 \times \exp(-Q/RT)$  で表される。ここで、 $D_0$ ：振動数項、Q：活性化エネルギー、R：気体定数、T：絶対温度である。

そして、低融点金属の材料として例えばInを選定した場合、その拡散係数は、電極の材料がAuのとき $7.18 \times 10^{-6}$ であるのに対して、Cuのときは $1.23 \times 10^{-4}$ という極めて大きな値となる。

また、低融点金属の材料としてSnを選定した場合も、その拡散係数は、電極の材料がAuのとき $3.96 \times 10^{-6}$ であるのに対して、Cuのときは $1.05 \times 10^{-5}$ という大きな値となる。

また、電極の材料がNiの場合は、これに対して拡散係数の大きな低融点金属はない。

このように、電極の材料がCuの場合、低融点金属の拡散係数が特に大きな値となるので、固液拡散における拡散反応速度が速く、低融点金属単体層の残存の生じない拡散接合を実現するために特に好適である。

また、低融点金属層31、32の厚さは、両者を合計して $10\text{ }\mu\text{m}$ 以下であり、好ましくは $0.1 \sim 10\text{ }\mu\text{m}$ 、より好ましくは $0.1 \sim 1\text{ }\mu\text{m}$ である。

合計厚さが $1\text{ }\mu\text{m}$ を越えると、数分の接合時間では拡散しきれず、低融点金属の状態で電極間に残存しやすくなり、接合部の信頼性が低下するので好ましくない。

また、低融点金属層の合計厚さが $1\text{ }\mu\text{m}$ を越えている場合に、上記のような未反応層が接合部に残らないようにするために、数十MPa程度の大きな荷重による加圧が必要となるが、このような加圧により、反応に寄与しない低融点金属が接合部端より排出されてしまう。また、接合部端より排出される低融点金属は、接合部端の外周に沿って均等に排出されるわけではなく、表面張力などの影響により、接合部端の外周のうちの局部に固まった状態で残存するようになる。そして、このよう

な低融点金属の排出物が接合部端の外周面から半径方向の外側に向って数十 $\mu\text{m}$ 程度の幅で突出するような場合があり、高密度実装時の隣接電極間での短絡不良の原因となる可能性がある。

また、低融点金属層の合計厚さが0.1 $\mu\text{m}$ 以下では、母材金属である電極の表面粗さの影響により、接合が不充分となるので好ましくない。すなわち、低融点金属層の膜厚下限値は電極の表面粗さに依存し、低融点金属層が電極の表面粗さに対し充分に厚ければ、軟質な低融点金属層の膜面同士が加圧により隙間無く密着し、ボイドの無い拡散層を形成することが可能であるが、電子部品の電極面の表面粗さは一般に0.1 $\mu\text{m}$ 以下と考えられるので、低融点金属層の合計厚さの下限値は0.1 $\mu\text{m}$ となる。

低融点金属層31、32の形成方法としては、上記の従来公知の薄膜形成法が利用でき特に限定されず、蒸着、スパッタリング、メッキ、エッチング等を適宜用いることができる。また、メタルマスクを用いた蒸着や、フォトレジストを用いたエッチング等により、必要に応じてパターン形成して設けることができる。ここで、上記のように、本発明においては接合材となる低融点金属の供給量が非常に少量でよく、低融点金属層30の厚さを極めて薄くすることができるため、微細なパターンングが可能となる。

なお、本発明においては、低融点金属層31、32のそれぞれの厚さは異なっていてもよい。また、低融点金属層31又は32は、どちらか一方のみが形成されていてもよい。

上記の低融点金属層31、32の形成方法のうち、前記のSnInやSnBi等の2元以上の合金を形成できる、少なくとも2種類以上の金属を2層以上に積層し、この積層した金属層を予備加熱して反応させて合金層とすることにより形成する方法が好ましく用いられる。

例えば、SnInの場合、Snの融点は232°C、Inの融点は157°Cであるが、それより低い121°Cで、SnはInに26.4%固溶することが知られている。したがって、あらかじめSn層とIn層とを積層しておき、これを予備加熱によって反応させて、低融点金属層31、32としてSnIn合金層を形成した後に、この合金層を、回路電極11及び素子電極21中へ固液拡散させることによって、回路電極11と素子電極21とを接合できる。

これにより、合金層における合金組成や供給量のバラツキがないので、低温での接合を確実に行なうことができ、信頼性の高い接合部を得ることができる。なお、上記の SnIn 合金の場合には、最表面が In 層となるように積層することが好ましい。これにより、Sn 層が酸化されるのを防止することができる。

それぞれの単一金属層の膜厚は、目標とする合金組成に合わせて適宜選択されるが、短時間の予備加熱で合金層が形成される点から薄いほうが好ましく、具体的には、それぞれ  $0.1 \sim 1 \mu\text{m}$  の範囲であることが好ましい。また、それぞれの単一金属層は 1 層づつ設けられていてもよく、複数の層が交互に設けられていてもよい。

その他の低融点金属層 31、32 の形成方法としては、低融点金属が SnIn や SnBi 等の 2 元以上の合金である場合には、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の蒸気圧比を制御することによって、目標とする合金組成となるように成膜する方法も好ましく用いられる。

上記のように、接合時の温度は、低融点金属層 31、32 の融点に依存する。例えば SnIn 合金においては、共晶温度は  $117^\circ\text{C}$  であり、そのときの共晶組成は、In : Sn = 52 : 48 である。したがって、この共晶組成以外では低融点金属層 31、32 の融点が上昇してしまうので、低温接合を安定的に可能にするには、低融点金属層 31、32 の合金組成を In : Sn = 52 : 48 に維持することが必要である。

しかし、通常、母合金を单一の蒸発源とする蒸着法によって合金薄膜層を形成する場合、それぞれの金属成分によって蒸気圧が異なるため、あらかじめ In : Sn = 52 : 48 の母合金を蒸発源としても、In と Sn の蒸気圧が同じでないために、形成される蒸着膜の組成は目標からずれてしまう。したがって、蒸着時に、合金の各金属成分の蒸気圧比を制御することによって、目標とする合金組成を維持しながら成膜できる。

特に、あらかじめ蒸発源の合金組成と、蒸着後の合金層の合金組成とが等しくなるような各金属成分の蒸気圧比を求めておき、この蒸気圧比を蒸着中に制御すれば、低融点金属層として、蒸発源の母合金と同じ組成の蒸着膜を得ることができ、上記の目標からのズレを解消できる。このような制御条件である各金属成分の蒸気圧比は、例えば、以下の計算にしたがって求めることができる。

まず、合金蒸気の主成分は、合金に含まれている金属の原子であるから、各成分の分圧を、以下の（1）式のような、希薄溶液の溶媒の蒸気圧に関する Raoult の法則を拡張適用することにより見積もることができる。

$$a_i = \chi_i \quad (1)$$

ここで、 $a_i$ 、 $\chi_i$  はそれぞれ  $i$  成分の活量及びモル分率である。 $i$  成分の合金状態における蒸気圧を  $p_i$  とし、 $i$  成分の純粋状態における蒸気圧を  $p_{i(0)}$  とすれば、定義により、 $a_i = p_i / p_{i(0)}$  である。

上記の（1）式がそのまま成立する場合は稀であるので、実測の  $a_i$  が Raoult の法則からどの程度ずれているかを表すために、以下の（2）式で定義される活量係数  $\gamma_i$  を用いる。

$$a_i = \gamma_i \chi_i \quad (2)$$

合金の  $i$  成分に対する部分モル自由エネルギー変化  $\Delta G_i$  は、以下の（3）式で与えられるので、（2）式を用いて、（4）式のように変形できる。

$$\Delta G_i = R T \ln a_i \quad (3)$$

$$\Delta G_i = R T \ln \gamma_i + R T \ln \chi_i \quad (4)$$

ここで、 $R$  は気体定数、 $T$  は絶対温度である。また、組成  $X$  における自由エネルギー  $\Delta G_i$  は、以下の（5）式で表すことができる。

$$\Delta G_i = X(1-X)(A_{ij} + (1-2X)B_{ij} + C_{ij}X(1-X)) \quad (5)$$

ここで、例えば、SnInの共晶合金の場合、上記のように、Inの組成は  $X=52$ 、Snの組成は  $X=48$  である。

ここで、InとCuとの反応性を考慮して（5）式の各係数に  $A_{ij}=-12990$ 、 $B_{ij}=-14383$ 、 $C_{ij}=23982$ 、 $X=0.52$  を代入すると、

$$\Delta G_i = -1604.62 \text{ J/mol} \quad (6)$$

が得られる。同様に、SnとCuとの反応性を考慮して、(5)式の各係数にA<sub>ij</sub>=-35479、B<sub>ij</sub>=-19182、C<sub>ij</sub>=59493、X=0.48を代入すると、

$$\Delta G_i = -5340.65 \text{ J/mol} \quad (7)$$

が得られる。(3)式と(6)式より、In-Cu反応における活量a<sub>A</sub>を求め、(3)式と(7)式より、Sn-Cu反応における活量a<sub>B</sub>を求めると、以下の(8)(9)式となる。ただし、R=8.314 [J·mol<sup>-1</sup>·K<sup>-1</sup>]、T=700K(427°C)である。

$$a_A = \exp(\Delta G_i / RT) = 0.835 \quad (8)$$

$$a_B = \exp(\Delta G_i / RT) = 0.632 \quad (9)$$

次に、真空蒸着における各成分の線束を考えると、2元合金が蒸発しているとき、ある瞬間における表面組成をχ<sub>A</sub>、χ<sub>B</sub>とすれば、蒸発線束比J<sub>A</sub>/J<sub>B</sub>は、以下の(10)、(11)式で表される。

$$\begin{aligned} J_A / J_B &= (a_A p_A / a_B p_B) (M_B / M_A)^{1/2} \\ &= (\gamma_A \chi_A p_A / \gamma_B \chi_B p_B) (M_B / M_A)^{1/2} = Z (\chi_A / \chi_B) \end{aligned} \quad (10)$$

$$Z = (\gamma_A p_A / \gamma_B p_B) (M_B / M_A)^{1/2} \quad (11)$$

この(10)、(11)式のZの値が1となるときが、蒸発成分比が元の合金の組成(Inの組成:χ<sub>A</sub>=52、Snの組成:χ<sub>B</sub>=48)に等しくなる条件である。よって、(10)式において、Inの分子量M<sub>A</sub>=114.818、Snの分子量M<sub>B</sub>=118.710、a<sub>A</sub>=0.835、a<sub>B</sub>=0.632、Z=1を代入して、

$$(p_A/p_B) = Z (\chi_A/\chi_B) (a_B/a_A) (M_A/M_B)^{1/2} = 0.81 \quad (12)$$

が得られる。したがって、この（12）式を満たす蒸気圧となるような条件下で蒸着することで、In : Sn = 52 : 48となるような、Cu上へのSnIn共晶合金の成膜が可能となる。

なお、上記の蒸気圧比 ( $p_A/p_B$ ) は、実際の蒸着時に、蒸発源の温度、蒸着中の真空度を制御することによって制御可能である。このうち、蒸発源である母合金の温度は、電子ビーム蒸着装置の場合、加熱用電子ビームのエネルギーの調整により制御することができる。電子ビームエネルギーの調整により溶融状態の母合金の温度が変化すると、各金属成分の蒸発源からの蒸発速度および活量がそれぞれ変化するが、温度変化に対応する蒸発速度および活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

次に、蒸着中の真空度は、蒸着槽内を真空ポンプで真空引きしながら、調整する。真空度の調整により、各金属成分の蒸気圧の和が変化すると、各金属成分のモル分率が変化し、活量が変化するが、真空度の変化に対応する活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

蒸発源の温度および蒸着中の真空度のいずれか一方を制御してもよく、両方の制御を組み合わせてもよい。

また、In-Cu反応およびSn-Cu反応における活量  $a_A$ 、 $a_B$  を求める際に（5）式に代入した係数  $A_{ij}$ 、 $B_{ij}$ 、 $C_{ij}$  の値は、所定の基準温度条件について得られている物性値であるので、蒸着対象であるCu電極の温度が前記基準温度になるように、蒸着対象に対するヒータ加熱温度を調整する。

なお、本発明においては、上記の蒸着時の各金属成分の反応過程における蒸気圧比の代わりに、各金属成分の反応過程における蒸気圧比及び活量係数比の積を制御してもよい。

この場合、例えば、SnIn共晶合金における、InおよびSnの各組成を  $W_A$ 、 $W_B$  (重量%) で示すと、以下の（13）、（14）式となる。

$$\chi_A = 1 / (1 + (W_B/W_A) (M_A/M_B)) \quad (13)$$

$$\chi_B = 1 / (1 + (W_A/W_B) (M_B/M_A)) \quad (14)$$

したがって、上記の（13）、（14）式を、（10）、（11）式に代入して、蒸発線束重量比 $\Gamma_A/\Gamma_B$ は、以下の（15）式で表される。

$$\begin{aligned}\Gamma_A/\Gamma_B &= (\gamma_A \chi_A p_A / \gamma_B \chi_B p_B) (M_A/M_B)^{1/2} \\ &= (\gamma_A p_A / \gamma_B p_B) (M_B/M_A)^{1/2} (W_A/W_B)\end{aligned}\quad (15)$$

(13)、(14)式において、Inの分子量 $M_A = 114.818$ 、Snの分子量 $M_B = 118.710$ 、Inの重量% $W_A = 0.52$ 、Snの重量% $W_B = 0.48$ を代入すると、 $\chi_A = 0.528$ 、 $\chi_B = 0.472$ を得る。

したがって、(15)式の左辺 $(\Gamma_A/\Gamma_B)$ が $0.52/0.48$ となるような $(\gamma_A p_A / \gamma_B p_B)$ の比を計算すると、

$$(\gamma_A p_A / \gamma_B p_B) = (\Gamma_A / \Gamma_B) (M_B / M_A)^{1/2} (\chi_B / \chi_A) = 0.98 \quad (16)$$

が得られる。したがって、この(16)式を満たす活量係数及び蒸気圧となるような条件下で蒸着することで、In:Sn = 52:48となるような、Cu上へのSnIn共晶合金の成膜が可能となる。

なお、上記の蒸気圧比及び活量係数比の積 $(\gamma_A p_A / \gamma_B p_B)$ は、実際の蒸着時に、蒸発源の温度、蒸着中の真空度および蒸着対象の温度を制御することによって制御可能である。

このうち、蒸発源である母合金の温度は、電子ビーム蒸着装置の場合、加熱用電子ビームのエネルギーの調整により制御することができる。電子ビームエネルギーの調整により溶融状態の母合金の温度が変化すると、各金属成分の蒸発源からの蒸発速度および活量がそれぞれ変化するが、温度変化に対応する蒸発速度および活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

次に、蒸着中の真空度は、蒸着槽内を真空ポンプで真空引きしながら、調整する。真空度の調整により、各金属成分の蒸気圧の和が変化すると、各金属成分のモル分率が変化し、活量が変化するが、真空度の変化に対応する活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

次に、蒸気対象である Cu 電極の温度は加熱用ヒータへの供給電力により調整することができる。ヒータへの供給電力の調整により蒸着対象の Cu 電極の温度が変化すると、各金属成分 In、Sn と母材金属 Cu との反応における活量が変化するが、温度変化に対応する活量の相対変化率が各金属成分毎に異なることにより、活量係数比が変化する。

蒸発源の温度、蒸着中の真空度および蒸着対象の温度の各制御項目のいずれか一つの制御項目を制御してもよく、複数の制御項目を組み合わせてもよい。

なお、条件出しの蒸着プロセスにより目標の膜組成比に対応した制御パラメータ値を求めていく場合、第 1 回目のプロセスで設定する暫定的な制御パラメータ値を求めるには、各金属成分の蒸気圧比を制御する方式がより適合しており、その後の第 2 回目以降のプロセスで設定する制御パラメータの見直し値を求めるには、各金属成分の蒸気圧比及び活量係数比の積を制御する方式がより適合しているので、条件出しの段階では、両者的方式を組合せるとより効率的である。

また、以上では、低融点金属層として蒸発源の母合金と同じ組成の蒸着膜を得ることができるようにするための方法を述べたが、本発明における低融点金属層の形成方法は、上述のような方法に限定されるものではなく、蒸発源の母合金と異なる組成の蒸着膜を得るようにしてよい。この場合、蒸発源の母合金の組成比と目標の膜組成比との関係に応じて、各金属成分の蒸気圧比の制御目標値あるいは各金属成分の蒸気圧比及び活量係数比の積の制御目標値が決まる。

次に、図 1 (a) に示す低融点金属層 31、32 が対向した状態から、図 1 (b) に示すように、電子部品 2.0 を回路基板 1.0 側へ移動させ、低融点金属層 31、32 同士が接触するように配置する。

そして、この状態で、200°C 以下で加熱加圧を行なうと、図 1 (c) に示すように、低融点金属層 31、32 が溶融して低融点金属層 30 となり、更に、回路電極 1.1 及び素子電極 2.1 中へ固液拡散して、図 1 (d) に示すように接合が行なわれる。

なお、上記の電極同士の位置決めや、移動、加熱加圧等の操作は、従来公知の実装設備である、例えば、フリップチップボンダなどを用いて行なうことができる。また、電極同士の位置決めは、カメラ等を用いた座標決定により正確に行なうことができる。

このように、本発明においては、加熱加圧を200℃以下で行なうようにすることができる。これにより、従来のはんだ接合における一般的な加熱温度である、200～250℃に比べて低温での接合が可能となるので、電子部品20への熱的ダメージを抑えることができる。この場合、更に、接合時の加熱温度は、低融点金属層31、32の融点より0～100℃高い温度であることが好ましい。

また、この実施形態においては、低融点金属層30が、回路電極11及び素子電極21中へ完全に固液拡散するまで、加熱加圧状態が維持される。本発明においては、このように、低融点金属層が、電極中へ完全に固液拡散するまで所定の時間、加熱加圧することが好ましい。

これによって、図1(d)に示すように、接合後の接合部においては、接合電極35が、全体として单一の合金層として形成される。この接合電極35は、その中央部分から各電極側に向かって低融点金属の濃度勾配を有するが、全体として单一の合金層となる。

したがって、接合電極35には、中間合金層が別途形成されていないので、接合部の信頼性は介在する接合材料の特性に依存せず、主に電極の母材金属によることになる。したがって、はんだ等の場合と比較して、接続部の信頼性を向上させることができる。

このように、電極中へ低融点金属層が完全に固液拡散するのに要する時間は、加熱温度、圧力、電極材料、低融点金属の材料等によって異なるが、通常、10～180秒である。

また、加圧条件としては、上記の加熱温度、電極材料、低融点金属の材料等によって異なるが、好ましくは10～30MPaである。

また、上記のように、回路電極11、素子電極21の表面粗さRaが0.4～1.0μmの粗面である場合においては、接合時に粗面同士が塑性変形して接合可能となるように加圧することが好ましい。これによれば、電極表面が塑性変形するまで加圧するので、電解メッキの析出条件やバラツキ等によって、形成される電極表面に凹凸がある場合においても、良好な接合状態を得ることができる。この場合の加圧条件としては、好ましくは30～100MPaである。

なお、前記のように、低融点金属層31、32が、2層以上の单一金属層を反応させて得られる合金層からなる場合には、まず、それぞれの单一金属の融点以下の

温度で予備加熱を行い、2層以上の单一金属層を固溶させて合金層を形成し、その後、200°C以下で加熱加圧を行なうことが好ましい。

この場合、予備加熱の温度は、合金層を形成する单一金属層の種類や膜厚によって適宜選択できるが、例えば、Sn層とIn層とからなる2層構成の場合には、110～125°Cで予備加熱を行なうことが好ましい。

図2には、本発明の実装方法の他の実施形態が示されている。なお、以下の実施形態の説明においては、前記実施形態と同一部分には同符号を付して、その説明を省略することにする。

この実施形態においては、図2(a)に示すように、回路電極11、素子電極21上に形成された低融点金属層31、32を対向させて位置合わせを行い、図2(b)に示すように、低融点金属層31、32を接触させる。そして、この状態で、図2(c)に示すように加熱加圧して、低融点金属層31、32を溶融させて低融点金属層30とし、更に、図2(d)に示すように、回路電極11、素子電極21とが拡散反応により中間合金層36を形成するまで加熱加圧を行なう。

そして、中間合金層36を形成した後、加圧に加えて、図2(d)に示すように、電子部品20を保持するフリップチップボンダのヘッド部40によって、電子部品20を、図2(d)の矢印方向に沿って左右に振動させる。

このように加圧状態で左右に振動させることで、低融点金属中にある酸化物が除去され、対向した両電極の未接触部の接触状態が向上するとともに、加圧、振動により押し出された余剰分の低融点金属が、はみ出し部36aとなって接合部の側面外周に突出し、回路電極11と素子電極21との接合部として、中間合金層36のみが介在し、余剰の低融点金属が残存しない接合部を得ることができる。

上記の加熱加圧工程における、中間合金層36を形成するのに要する時間は、加熱温度、圧力、電極材料、低融点金属の材料等によって適宜設定されるが、上記の低融点金属を完全に拡散させる実施形態に比べて短く、通常1～5秒でよい。

なお、この接合部における、中間合金層36の厚さは1～5μmであることが好ましい。また、この明確な中間合金層36の存在は、断面の観察によつても確認でき、また、電気抵抗、熱抵抗等の測定によつて非破壊で確認することもできる。

この実施形態によれば、低融点金属層が完全には拡散せず、中間合金層を形成する段階まで加熱すれば足りるので、接合に要する時間を大幅に短縮することができ

る。また、低融点金属の供給量は、中間合金層を形成するための必要量以上が供給されておればよいので、低融点金属の供給量の厳密な管理が不要となる。

以上、本発明によれば、従来のはんだや接着剤を使用した接合方式に比べ、低温でかつ短時間での接合が可能となり、接合時の加熱による電子部品の損傷を抑制できるとともに、生産効率を向上できる。また、接合部の信頼性を向上させることができ、更に、微細なピッチでの接合が可能な、電子部品の実装方法を提供できる。

以下、実施例を用いて、本発明の電子部品の実装方法について更に詳細に説明する。

### 実施例 1

図 1 に示す方法を用いて電子部品を回路基板上に実装した。

まず、電子部品としては半導体チップを用い、この半導体チップ上に電極として Cu のバンプを形成した。一方、回路基板上にも Cu 電極を形成した。

次に、低融点金属層として、半導体チップの Cu バンプ上、及び、回路基板の Cu 電極上に、それぞれ  $2 \mu\text{m}$  及び  $2 \mu\text{m}$ 、合計厚さ  $4 \mu\text{m}$  の SnIn（融点  $117^\circ\text{C}$ ）を蒸着により形成した。

このとき、蒸着方法としては、蒸発源として SnIn の母合金（In : Sn = 52 : 48）を用い、上記の（12）式における蒸気圧比 ( $p_A / p_B$ ) = 0.81 となるように蒸着条件を制御しながら成膜を行った。なお、蒸着装置は電子ビーム蒸着装置を用い、蒸着時の真空度は  $10^{-5} \text{ Pa}$ 、蒸着速度は  $0.4 \text{ nm/m in}$  で行った。

その結果、形成された SnIn 薄膜の組成を、断面サンプルの μ-AES 分析によって調べたところ、In : Sn = 52 : 48 となっており、目的とする合金組成の低融点金属層が得られていた。

そして、図 1 (a) に示すように、半導体チップの Cu バンプと、回路基板の Cu 電極の位置を合わせた後、図 1 (b) に示すように電極を接触させ、図 1 (c) に示すように、SnIn の融点より  $20^\circ\text{C}$  高い、温度  $137^\circ\text{C}$ 、圧力  $90 \text{ MPa}$  で、30 秒間加熱加圧して接合した。

その結果、図 1 (d) に示すように、SnIn は、Cu 電極中へ完全に拡散され、中間合金層が存在しない、全体として 1 つの合金層である接合部が得られている

ことが、高真空走査型電子顕微鏡による断面観察と、X線マイクロアナライザ（EPMA）による接合界面の元素分析によって確認できた。

### 実施例 2

蒸着による低融点金属層の形成において、上記の（16）式における蒸気圧比と活量係数比の積 ( $\gamma_A p_A / \gamma_B p_B$ ) = 0.98 となるように制御しながら成膜を行った以外は実施例 1 と同様の条件で、半導体チップと回路基板との接合を行った。

その結果、形成された SnIn 薄膜の組成は In : Sn = 52 : 48 となっており、目的とする合金組成の低融点金属層が得られていた。

また、接合後は、図 1 (d) に示すように、SnIn は、Cu 電極中へ完全に拡散され、中間合金層が存在しない、全体として 1 つの合金層である接合部が得られていることが、高真空走査型電子顕微鏡による断面観察と、X線マイクロアナライザ（EPMA）による接合界面の元素分析によって確認できた。

### 実施例 3

図 1 に示す方法を用いて電子部品を回路基板上に実装した。

まず、電子部品としては半導体チップを用い、この半導体チップ上に電極として Cu のバンプを形成した。一方、回路基板上にも Cu 電極を形成した。

次に、低融点金属層として、半導体チップの Cu バンプ上、及び、回路基板の Cu 電極上のそれぞれに、单一金属層として、Sn 層 0.48 μm、In 層 0.52 μm を順に積層し、合計厚さ 1 μm となるように蒸着により形成した。

そして、図 1 (a) に示すように、半導体チップの Cu バンプと、回路基板の Cu 電極の位置を合わせた後、図 1 (b) に示すように電極を接触させ、温度 120 °C で 10 秒間の予備加熱を行い、Sn 層と In 層とを固溶させて SnIn の合金層を得た。

その後、図 1 (c) に示すように、SnIn の融点より 20 °C 高い、温度 137 °C、圧力 90 MPa で、30 秒間加熱加圧して接合した。

その結果、図 1 (d) に示すように、SnIn は、Cu 電極中へ完全に拡散され、中間合金層が存在しない、全体として 1 つの合金層である接合部が得られていることが、高真空走査型電子顕微鏡による断面観察と、X線マイクロアナライザ（EPMA）による接合界面の元素分析によって確認できた。

### 実施例 4

図1に示す方法を用いて電子部品を回路基板上に実装した。

まず、電子部品としては半導体チップを用い、この半導体チップ上に素子電極としてCuのバンプを形成した。一方、回路基板上にも回路電極としてCu電極を形成した。

次に、低融点金属層として、半導体チップのCuバンプ上、及び、回路基板のCu電極上に、それぞれ0.5μm及び0.5μm、合計厚さ1μmのIn（融点157°C）の層を蒸着により形成した。

そして、図1（a）に示すように、半導体チップのCuバンプと、回路基板のCu電極の位置を合わせた後、図1（b）に示すように電極を接触させ、図1（c）に示すように、Inの融点より20°C高い、温度177°C、圧力30MPaで、60秒間加熱加圧して接合した。

その結果、図1（d）に示すように、Inは、Cu電極中へ完全に拡散され、中間合金層が存在しない、全体として1つの合金層である接合部が得られていることが、高真空走査型電子顕微鏡による断面観察と、X線マイクロアナライザ（EPMA）による接合界面の元素分析によって確認できた。

また、この接合部について、接合部端からのInの排出の状況を観察したところ、接合部端にはInの排出が全く観られなかった。

#### 実施例5

低融点金属層として、1対のCu電極上に、それぞれ1μm及び1μm、合計厚さ2μmのIn層を蒸着により形成した以外は、実施例4と同様の条件で接合し、実施例5の接合部を得た。この接合部について、接合部端からのInの排出の状況を観察したところ、接合部端には10～20μm程度のInの排出が観られた。

次に、実施例4及び実施例5の接合部とそれぞれ同じ材料、接合条件で、せん断強度試験用の接合部サンプルを作成し、接合面に平行な方向のせん断力を加える、せん断強度試験を行ったところ、図4のような結果が得られた。

図4は、低融点金属層としてのIn膜厚（μm）とせん断応力（MPa）との関係を示すものであり、実施例4によるIn膜厚0.5μm（合計厚さ1μm）の場合の接合部サンプル5個、及び、実施例5によるIn膜厚1μm（合計厚さ2μm）の場合の接合部サンプル4個に対するせん断応力試験データが示されている。

図4の結果より、実施例4の接合部と実施例5の接合部とは、せん断応力特性に

おいて、ほぼ同等である。

以上のように、 $I_n$ よりなる低融点金属層の合計厚さを $1 \mu m$ とした実施例4の接合部は、 $I_n$ よりなる低融点金属層の合計厚さを $2 \mu m$ とした実施例5の接合部と同等のせん断応力特性を有するとともに、接合部端での低融点金属層の排出が全く無く、特に狭ピッチ実装に適合した良好な特性の接合部となっていることがわかる。

#### 産業上の利用可能性

本発明は、例えば、小型化が必要とされる回路基板あるいはモジュール（マルチチップモジュール）等において、半導体チップ等の電子部品をプリント基板等の回路基板への直接実装に好適に利用できる。

## 請求の範囲

1. 回路基板上に形成された金属からなる回路電極と、電子部品上に形成された金属からなる素子電極とを接合して、前記電子部品を前記回路基板上に実装する方法において、

前記回路電極及び／又は前記素子電極上に、低融点金属層をあらかじめ形成した後、前記回路電極及び前記素子電極を対向させて、少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を、前記回路電極及び前記素子電極中へ固液拡散させることによって、前記回路電極と前記素子電極とを接合することを特徴とする電子部品の実装方法。

2. 前記低融点金属層が、SnIn、In、Bi、SnBiより選択される一種を少なくとも含有する請求項1に記載の電子部品の実装方法。

3. 前記接合時の加熱温度が、前記低融点金属の融点より0～100℃高い温度である請求項2に記載の電子部品の実装方法。

4. 接合される前記回路電極と前記素子電極との間にあらかじめ形成される、前記低融点金属層の合計厚さが0.1～1μmである請求項1～3のいずれか1つに記載の電子部品の実装方法。

5. 前記回路電極及び前記素子電極の材質が、Cu、Ni、Au、Alより選択される一種又はそれらの合金である請求項1～4のいずれか1つに記載の電子部品の実装方法。

6. 前記回路電極及び前記素子電極表面の表面粗さRaが0.4～10μmの粗面であって、前記接合時に前記粗面同士が塑性変形して接合可能となるように加圧する請求項1～5のいずれか1つに記載の電子部品の実装方法。

7. 前記加熱加圧は、前記低融点金属層が、前記回路電極及び前記素子電極中に完全に固液拡散するまで行なう請求項1～6のいずれか1つに記載の電子部品の実装方法。

8. 前記加熱加圧は、前記低融点金属層が、前記回路電極と前記素子電極との間に中間合金層を形成するまで行なう請求項1～6のいずれか1つに記載の電子部品の実装方法。

9. 前記低融点金属層は、合金を形成できる少なくとも2種類以上の金属を2層

以上に積層し、該積層した金属層を予備加熱して反応させて合金層とすることにより形成する請求項1～8のいずれか1つに記載の電子部品の実装方法。

10. 前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比を制御することによって、目標とする合金組成となるように成膜する請求項1～8のいずれか1つに記載の電子部品の実装方法。

11. 前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比及び活量係数比の積を制御することによって、目標とする合金組成となるように成膜する請求項1～8のいずれか1つに記載の電子部品の実装方法。

図 1

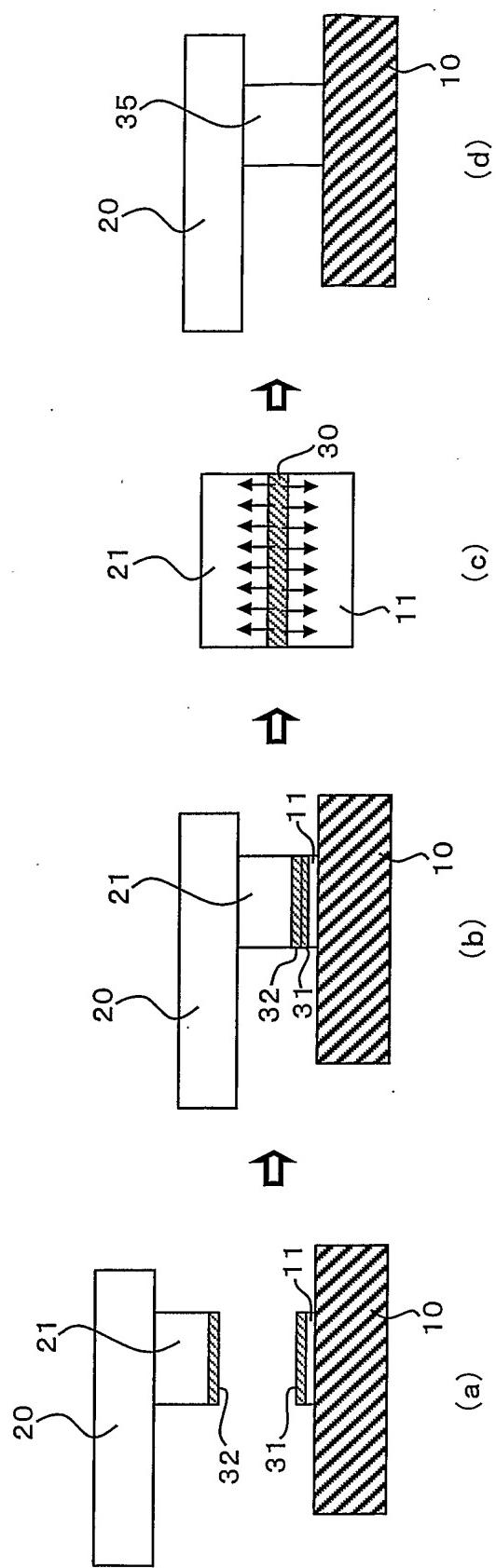


図2

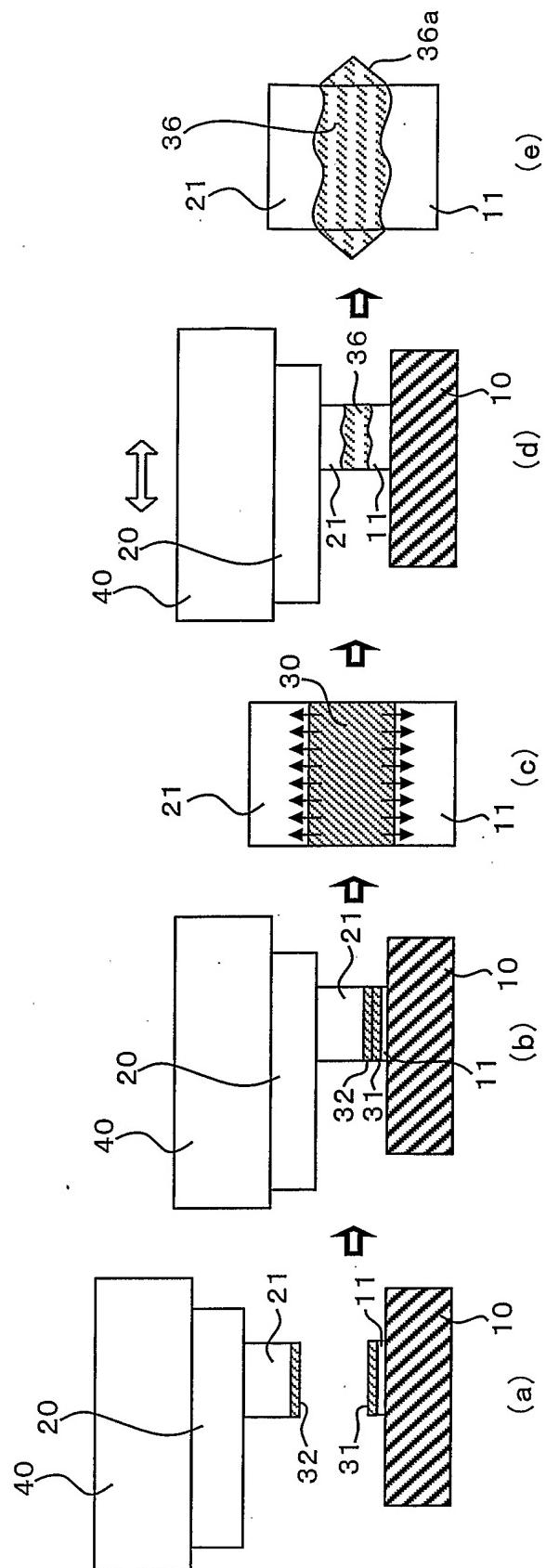


図3

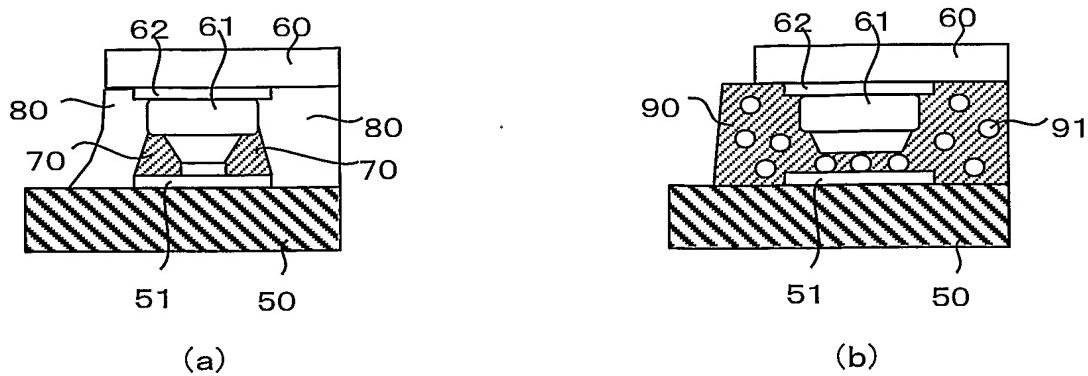
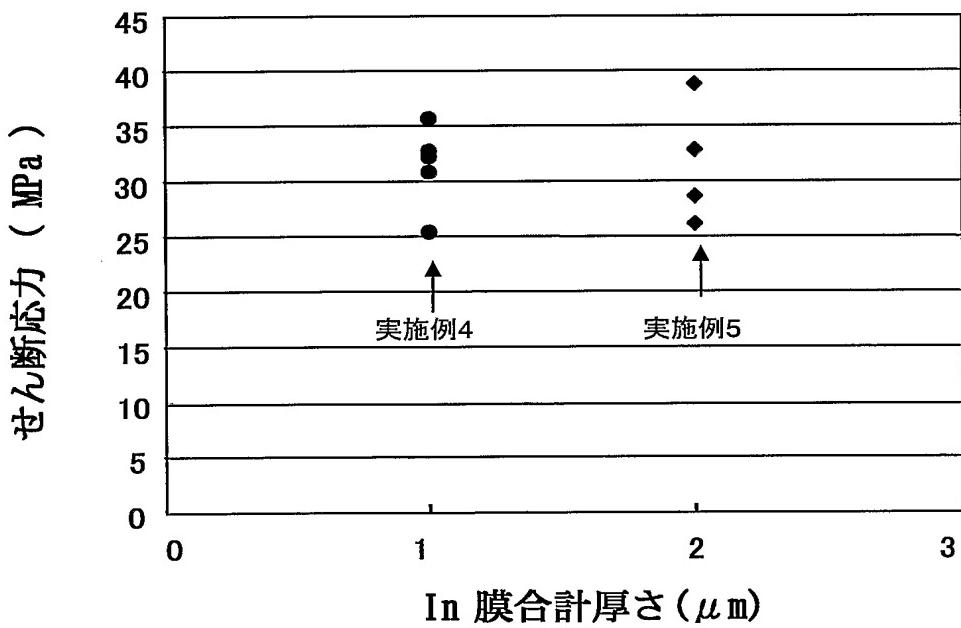


図4



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002534

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/60, H01L21/50Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2004-111936 A (Fuji Electric Holdings Co., Ltd.), 08 April, 2004 (08.04.04), Full text; all drawings (Family: none)	1-11
Y	JP 2002-289768 A (Rohm Co., Ltd.), 04 October, 2002 (04.10.02), Full text; all drawings & US 2002/0149117 A1 full text; all drawings & EP 1229583 A1 & WO 02/07219 A1 & KR 2030116 A & TW 518740 B	1-11

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 16 June, 2004 (16.06.04)	Date of mailing of the international search report 06 July, 2004 (06.07.04)
---------------------------------------------------------------------------------------	--------------------------------------------------------------------------------

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002534

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-274201 A (Toshiba Corp.), 05 October, 2001 (05.10.01), Full text; all drawings (Family: none)	1-11
Y	JP 8-003732 A (Seiko Instruments Inc.), 09 January, 1996 (09.01.96), Full text; all drawings (Family: none)	10-11
E,X	JP 2004-111935 A (Fuji Electric Holdings Co., Ltd.), 08 April, 2004 (08.04.04), Full text; all drawings (Family: none)	1-11

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl<sup>7</sup> H01L21/60

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl<sup>7</sup> H01L21/60, H01L21/50

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	JP 2004-111936 A (富士電機ホールディングス株式会社) 2004.04.08, 全文, 全図 (ファミリーなし)	1-11
Y	JP 2002-289768 A (ローム株式会社) 2002.10.04, 全文, 全図 & US 2002/0149117 A1, 全文, 全図 & EP 1229583 A1 & WO 02/07219 A1 & KR 2030116 A & TW 518740 B	1-11
Y	JP 2001-274201 A (株式会社東芝) 2001.10.05, 全文, 全図 (ファミリーなし)	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

16.06.2004

## 国際調査報告の発送日

06.7.2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

市川 篤

4R 9544

電話番号 03-3581-1101 内線 3469

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 8-003732 A (セイコー電子工業株式会社) 1996.01.09, 全文, 全図 (ファミリーなし)	10-11
E, X	JP 2004-111935 A (富士電機ホールディングス株式会社) 2004.04.08, 全文, 全図 (ファミリーなし)	1-11